

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Chan-kyung KIM Art Unit: TBD

Appl. No.: NEW Examiner: TBD

Filed: 3 November 2003 Atty. Docket: SEC.1052

For: **Delayed Tap Signal Generating Circuit for Controlling Delay by Interpolating Two Input Clocks**

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, Virginia 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date under the International Convention of the following Korean application:

Appln. No. 2002-0068155 filed November 5, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, P.L.L.C.

By: 
Kenneth D. Springer
Registration No. 39,843

VOLENTINE FRANCOS, P.L.L.C.
12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870

Date: 3 November 2003



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0068155
Application Number

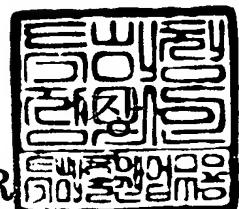
출 원 년 월 일 : 2002년 11월 05일
Date of Application NOV 05, 2002

출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 10 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0022
【제출일자】	2002.11.05
【국제특허분류】	H03L
【발명의 명칭】	입력되는 두 클럭의 인터플레이팅에 의하여 지연량의 차를 조절할 수 있는 지연된 템신호들을 발생하는 회로
【발명의 영문명칭】	signal generation circuit of delayed tap signals capable of controlling the delay by interpolating inputted two clocks
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	김찬경
【성명의 영문표기】	KIM, Chan Kyung
【주민등록번호】	730703-1683517
【우편번호】	442-190
【주소】	경기도 수원시 팔달구 우만동 498 풍림아파트 3-102
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	9	면	9,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	16	항	621,000	원
【합계】			659,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

입력되는 두 클럭의 인터플레이팅에 의하여 지연량의 차이를 조절할 수 있는 지연된 텝신호들을 발생하는 회로 및 방법이 개시된다. 본 발명에 따른 텝신호 발생회로는 동일한 주파수를 갖고 소정의 위상차를 갖는 제 1클럭 및 제 2클럭을 수신하고, 상기 제 1클럭과 상기 제 2클럭, 및 소정의 오프셋 정보에 응답하여 상기 제 1클럭에 대하여 상기 오프셋 정보에 대응하는 제 1지연량만큼 지연된 제 1텝신호를 발생하는 제 1텝신호 발생회로; 및, 상기 제 1클럭 및 상기 제 2클럭을 수신하고, 상기 제 1클럭과 상기 제 2클럭, 및 상기 오프셋 정보에 응답하여 상기 제 1클럭에 대하여 상기 제 1지연량과 상기 제 1지연량을 합한 제 2지연량만큼 지연된 제 2텝신호를 발생하는 제 2텝신호 발생회로를 구비하고, 상기 제 1텝신호 및 상기 제 2텝신호는 상기 오프셋 정보에 응답하여 상기 제 1클럭과 상기 제 2클럭을 인터플레이팅(interpolating)함으로써 생성되는 것을 특징으로 한다. 본 발명에 따르면, 입력되는 오프셋 정보에 의하여, 출력되는 텝신호들의 지연량의 차이를 조절할 수 있게 되며, 오프셋 정보를 조절함으로써 미세한 지연량의 차이를 가지는 텝신호들을 얻을 수 있다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

입력되는 두 클럭의 인터플레이팅에 의하여 지연량의 차이를 조절할 수 있는 지연된 텁신호들을 발생하는 회로{signal generation circuit of delayed tap signals capable of controlling the delay by interpolating inputted two clocks}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 다수의 인버터(inverter)들을 이용하여 지연된 텁신호들을 발생하는 회로에 관한 도면이다.

도 2는 본 발명의 바람직한 제 1실시예에 따른 지연된 텁신호들을 발생하는 회로를 도시한 도면이다.

도 3은 본 발명의 바람직한 제 2실시예에 따른 지연된 텁신호들을 발생하는 회로를 도시한 도면이다.

도 4는 입력되는 두 신호를 인터플레이팅하는 보간회로의 일예를 나타낸 도면이다.

도 5는 도 4의 보간회로의 입력신호 및 출력신호를 나타낸 그래프이다.

도 6의 (a), (b), (c)는 오프셋 정보에 따라 각각 다른 지연량을 가지는 지연된 텁신호들을 출력하는 모습을 나타낸 그래프이고, 도 6의 (d)는 도 6의 (a), (b), (c)의 결과에 따른 출력 드라이버의 출력신호를 나타내는 도면이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 신호 발생기에 관한 것으로, 특히 다수의 지연된 �ップ신호들을 발생하는 회로에 관한 것이다.

<9> 다수의 세그먼트(segment)들로 나누어진 메모리 장치의 출력 드라이버(output driver)에 있어서, 상기 출력 드라이버로 출력되는 출력신호의 슬루 레이트(slew rate)은 각각의 세그먼트가 일정한 간격을 두고서 턴온(turn-on) 또는 턴오프(turn-off)됨으로써 조정된다.

<10> 메모리 장치의 동작주파수가 낮은 경우에는 출력신호의 슬루 레이트의 조정이 크게 문제되지 않을 수 있으나, 메모리 장치의 동작주파수가 높아지면 높아질수록 출력신호의 슬루 레이트 조정이 중요하며, 슬루 레이트의 조정 장치가 필수적이다.

<11> 일정한 세그먼트로 나누어진 출력 드라이버를 구동시키기 위해서는 일정한 시간 지연량을 가지는 다수의 신호들이 필요한데, 이를 신호들을 지연된 �ップ신호(delayed tap signal)들이라고 한다. 각각 일정한 지연량을 가지는 지연된 �ップ신호들을 합성함으로써 출력 드라이버에서 출력되는 출력신호의 슬루 레이트를 조정할 수 있다.

<12> 예를 들면, 만일 4개의 �ップ신호들을 사용하여 슬루 레이트를 조정할 때, 각각의 �ップ신호들 간의 지연량이 작으면, 상기 4개의 �ップ신호들을 합성함으로써 큰 슬루 레이트를 가지는 출력신호를 얻을 수 있다. 반면에, �ップ신호들 간의 지연량이 크면 작은 슬루 레이트를 가지는 출력신호를 얻을 수 있다.

<13> 이러한 지연된 텝신호들은 여러 가지 방법으로 생성될 수 있다. 예를 들면, 같은 지연량을 가지는 다수의 인버터(inverter)들을 사용하면 각 인버터 단의 출력을 지연된 텝신호들로 사용함으로써, 지연된 텝신호들을 생성할 수 있다. 또한, 다수의 인버터들 및 가변 지연소자(variable delay cell)들을 사용하여, 출력되는 지연된 텝신호들의 간격을 조절할 수도 있다.

<14> 도 1은 종래의 다수의 인버터들을 이용하여 지연된 텝신호들을 발생하는 회로에 관한 도면이다. 도 1의 텝신호 발생회로(100)는 다수의 인버터들(101, 102, 103, 104, 105, 106, 107, 108)을 구비하며, 이들은 서로 직렬로 접속된다.

<15> 이러한 텝신호 발생회로(100)는 입력되는 클럭신호(CLK_IN)를 인버터의 지연량만큼 지연시키고, 인버터의 각 단에서 텝신호들(TAP1, TAP2, TAP3, TAP4)을 생성한다. 즉, 다수의 텝신호들(TAP1, TAP2, TAP3, TAP4)의 지연량의 차이는 인버터 소자가 가지는 지연량에 따라 결정된다.

<16> 예컨대, 도 1에 도시된 각 인버터(101 내지 108)의 지연량이 50ps이면, 텝신호들(TAP1, TAP2, TAP3, TAP4)은 서로 100ps의 지연량을 가지게 된다. 즉, 텝신호(TAP1)와 텝신호(TAP2)의 지연량의 차이가 100ps이고, 텝신호(TAP2)와 텝신호(TAP3)의 지연량의 차이가 100ps이고, 텝신호(TAP3)와 텝신호(TAP4)의 지연량의 차이가 100ps가 된다.

<17> 그러나, 도 1의 텝신호 발생회로(100)의 경우, 인버터 한 단의 지연시간에 의하여 지연된 텝신호들 간의 지연량이 결정되기 때문에, 만약 요구되는 텝신호들 간의 지연량이 인버터 한단의 지연시간보다 작게 되는 경우와 같이, 정밀한 지연된 텝신호들이 요구되는 시스템에서는 도 1의 텝신호 발생회로(100)는 사용될 수 없다는 문제점이 있다.

<18> 즉, 지연된 �ップ신호들 사이의 지연량(간격)이 20ps를 요구하는 경우, 만일 인버터 한단의 지연량이 50ps라면, 도 1과 같은 구조를 가지는 �ップ신호 생성회로는 요구되는 지연된 �ップ신호들을 생성할 수가 없다는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<19> 따라서 본 발명이 이루고자 하는 기술적 과제는, 지연된 �ップ신호들 간에 작은 지연량을 요구하는 경우에도 상기 요구조건을 충족시킬 수 있는 지연된 �ップ신호 생성회로 및 생성방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<20> 상기 기술적 과제를 달성하기 위한 본 발명의 일면은 지연된 �ップ신호들을 발생하는 회로에 관한 것이다. 본 발명에 따른 지연된 �ップ신호들을 발생하는 회로는 동일한 주파수를 갖고 소정의 위상차를 갖는 제 1클럭 및 제 2클럭을 수신하고, 상기 제 1클럭과 상기 제 2클럭, 및 소정의 오프셋 정보에 응답하여 상기 제 1클럭에 대하여 상기 오프셋 정보에 대응하는 제 1지연량만큼 지연된 제 1터미널신호를 발생하는 제 1터미널신호 발생회로; 및, 상기 제 1클럭 및 상기 제 2클럭을 수신하고, 상기 제 1클럭과 상기 제 2클럭, 및 상기 오프셋 정보에 응답하여 상기 제 1클럭에 대하여 상기 제 1지연량과 상기 제 1지연량을 합한 제 2지연량만큼 지연된 제 2터미널신호를 발생하는 제 2터미널신호 발생회로를 구비하고, 상기 제 1터미널신호 및 상기 제 2터미널신호는 상기 오프셋 정보에 응답하여 상기 제 1클럭과 상기 제 2클럭을 인터폴레이팅(interpolating)함으로써 생성되는 것을 특징으로 한다.

<21> 바람직하게는, 상기 제 1터미널신호 발생회로는 상기 오프셋 정보를 수신하여 상기 오프셋 정보를 N-비트 디지털 신호로 변환하고 상기 N-비트 디지털 신호와 소정의 디폴트

신호를 가산하여 출력하는 제 1 N-비트 가산기; 상기 제 1 N-비트 가산기의 출력신호를 수신하여 상기 제 1 N-비트 가산기의 출력신호를 아날로그 신호로 변환하여 출력하는 제 1디지털/아날로그 변환회로; 상기 제 1클럭 및 상기 제 2클럭을 수신하여 상기 디지털/아날로그 변환회로의 출력신호에 응답하여 상기 제 1클럭과 상기 제 2클럭을 인터폴레이팅하여 상기 제 1탭신호를 출력하는 제 1보간회로를 구비하는 것을 특징으로 한다.

<22> 또한 바람직하게는, 상기 제 2탭신호 발생회로는 상기 오프셋 정보를 수신하고 상기 오프셋 정보를 상기 N-비트 디지털 신호로 변환하고 상기 제 1 N-비트 가산기의 출력신호와 상기 N-비트 디지털 신호를 가산하여 출력하는 제 2 N-비트 가산기; 상기 제 2 N-비트 가산기의 출력신호를 수신하여 상기 제 2 N-비트 가산기의 출력신호를 아날로그 신호로 변환하여 출력하는 제 2디지털/아날로그 변환회로; 상기 제 1클럭 및 상기 제 2클럭을 수신하여 상기 디지털/아날로그 변환회로의 출력신호에 응답하여 상기 제 1클럭과 상기 제 2클럭을 인터폴레이팅하여 상기 제 2탭신호를 출력하는 제 2보간회로를 구비하는 것을 특징으로 한다.

<23> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 일면은 지연된 탭신호들을 발생하는 회로에 관한 것이다. 본 발명에 따른 지연된 탭신호들을 발생하는 회로는 제 1클럭과 제 2클럭, 및 소정의 오프셋 정보에 응답하여 제 1탭신호에 대하여 상기 오프셋 정보에 대응되는 제 1지연량만큼 지연된 제 2탭신호를 발생하는 제 2탭신호 발생회로; 및, 상기 제 1클럭 및 상기 제 2클럭을 수신하고, 상기 제 1클럭과 상기 제 2클럭, 및 상기 오프셋 정보에 응답하여 상기 제 1탭신호에 대하여 상기 제 1지연량과 상기 제 1지연량을 합한 제 2지연량만큼 지연된 제 3탭신호를 발생하는 제 3탭신호 발생회로; 및, 상기 제 1클럭 및 상기 제 2클럭을 수신하고, 상기 제 1클럭과 상기 제 2클럭, 및 상기 오프

셋 정보에 응답하여 상기 제 3탭신호에 대하여 상기 제 2지연량과 상기 제 1지연량을 합한 제 3지연량만큼 지연된 제 4탭신호를 발생하는 제 4탭신호 발생회로를 구비하고, 상기 제 1탭신호는 상기 제 1클럭신호이고, 상기 제 2탭신호 내지 상기 제 4탭신호는 상기 오프셋 정보에 응답하여 상기 제 1클럭과 상기 제 2클럭을 인터폴레이팅 (interpolating)함으로써 생성되는 것을 특징으로 한다.

<24> 바람직하게는, 상기 제 2탭신호 발생회로는 상기 오프셋 정보를 수신하여 상기 오프셋 정보를 N-비트 디지털 신호로 변환하고, 상기 N-비트 디지털 신호와 소정의 디플트 신호를 가산하여 출력하는 제 1 N-비트 가산기; 상기 제 1 N-비트 가산기의 출력신호를 수신하여 상기 제 1 N-비트 가산기의 출력신호를 아날로그 신호로 변환하여 출력하는 제 1디지털/아날로그 변환회로; 상기 제 1클럭 및 상기 제 2클럭을 수신하여 상기 디지털/아날로그 변환회로의 출력신호에 응답하여 상기 제 1클럭과 상기 제 2클럭을 인터폴레이팅하여 상기 제 1탭신호를 출력하는 제 1보간회로를 구비하는 것을 특징으로 한다.

<25> 상기 기술적 과제를 달성하기 위한 본 발명의 또 다른 일면은 지연된 탭신호들을 발생하는 방법에 관한 것이다. 본 발명에 따른 지연된 탭신호들을 발생하는 방법은 동일한 주파수를 갖고 소정의 위상차를 갖는 제 1클럭 및 제 2클럭을 수신하고, 상기 제 1클럭과 상기 제 2클럭, 및 소정의 오프셋 정보에 응답하여 상기 제 1클럭에 대하여 상기 오프셋 정보에 대응하는 제 1지연량만큼 지연된 제 1탭신호를 발생하는 단계; 및, 상기 제 1클럭 및 상기 제 2클럭을 수신하고, 상기 제 1클럭과 상기 제 2클럭, 및 상기 오프셋 정보에 응답하여 상기 제 1클럭에 대하여 상기 제 1지연량과 상기 제 1지연량을 합한 제 2지연량만큼 지연된 제 2탭신호를 발생하는 단계를 구비하고, 상기 제 1탭신호 및 상기

제 2탭신호는 상기 오프셋 정보에 응답하여 상기 제 1클럭과 상기 제 2클럭을 인터플레이팅(interpolating)함으로써 생성되는 것을 특징으로 한다.

<26> 상기 기술적 과제를 달성하기 위한 본 발명의 또 다른 일면은 지연된 탭신호들을 발생하는 방법에 관한 것이다. 본 발명에 따른 지연된 탭신호들을 발생하는 방법은 상기 제 1클럭과 상기 제 2클럭, 및 소정의 오프셋 정보에 응답하여 제 1탭신호에 대하여 상기 오프셋 정보에 대응되는 제 1지연량만큼 지연된 제 2탭신호를 발생하는 단계; 상기 제 1클럭 및 상기 제 2클럭을 수신하고, 상기 제 1클럭과 상기 제 2클럭, 및 상기 오프셋 정보에 응답하여 상기 제 1탭신호에 대하여 상기 제 1지연량과 상기 제 1지연량을 합한 제 2지연량만큼 지연된 제 3탭신호를 발생하는 단계; 및, 상기 제 1클럭 및 상기 제 2클럭을 수신하고, 상기 제 1클럭과 상기 제 2클럭, 및 상기 오프셋 정보에 응답하여 상기 제 3탭신호에 대하여 상기 제 2지연량과 상기 제 1지연량을 합한 제 3지연량만큼 지연된 제 4탭신호를 발생하는 단계를 구비하고, 상기 제 1탭신호는 상기 제 1클럭신호이고, 상기 제 2탭신호 내지 상기 제 4탭신호는 상기 오프셋 정보에 응답하여 상기 제 1클럭과 상기 제 2클럭을 인터플레이팅(interpolating)함으로써 생성되는 것을 특징으로 한다.

<27> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

<28> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<29> 도 2는 본 발명의 바람직한 제 1실시예에 따른 지연된 �ップ신호들을 발생하는 회로를 도시한 도면이다. 도 2에 도시된 �ップ신호 발생회로(200)는 4개의 �ップ신호들(TAP1, TAP2, TAP3, TAP4)을 발생하며, 제 1텝신호 발생회로(210), 제 2텝신호 발생회로(220), 제 3텝 신호 발생회로(230) 및 제 4텝신호 발생회로(240)를 구비한다.

<30> 제 1텝신호 발생회로(210)는 제 1 N-비트 가산기(211), 제 1디지털/아날로그 변환 회로(212) 및 제 1보간회로(213)를 구비한다. 제 1 N-비트 가산기(211)는 오프셋 정보(OFFSET)를 수신하여 오프셋 정보(OFFSET)를 N-비트 디지털 신호로 변환하고, 소정의 디폴트 신호(DEF)와 상기 N-비트 디지털 신호를 가산하여 출력한다. 제 1디지털/아날로그 변환회로(212)는 제 1 N-비트 가산기(211)의 출력신호를 아날로그 신호로 변환하여 출력한다. 제 1보간회로(213)는 제 1클럭(CLK1)과 제 2클럭(CLK2)을 수신하고 제 1디지털/아날로그 변환회로(212)의 출력신호에 응답하여 제 1클럭(CLK1)과 제 2클럭(CLK2)을 인터폴레이팅하여 제 1텝신호(TAP1)를 발생한다.

<31> 제 2텝신호 발생회로(220)는 제 2 N-비트 가산기(221), 제 2디지털/아날로그 변환 회로(222) 및 제 2보간회로(223)를 구비한다. 제 2 N-비트 가산기(221)는 오프셋 정보를 수신하여 N-비트 디지털 신호로 변환하고, 제 1 N-비트 가산기(211)의 출력신호와 상기 N-비트 디지털 신호를 가산하여 출력한다. 제 2디지털/아날로그 변환회로(222)는 제 2 N-비트 가산기(221)의 출력신호를 아날로그 신호로 변환하여 출력한다. 제 2보간회로(223)는 제 1클럭(CLK1)과 제 2클럭(CLK2)을 수신하고 제 2디지털/아날로그 변환회로(222)의 출력신호에 응답하여 제 1클럭(CLK1)과 제 2클럭(CLK2)을 인터폴레이팅하여 제 2텝신호(TAP2)를 발생한다.

<32> 제 3탭신호 발생회로(230)는 제 3 N-비트 가산기(231), 제 3디지털/아날로그 변환회로(232) 및 제 3보간회로(233)를 구비한다. 제 3 N-비트 가산기(231)는 오프셋 정보를 수신하여 N-비트 디지털 신호로 변환하고, 제 2 N-비트 가산기(221)의 출력신호와 상기 N-비트 디지털 신호를 가산하여 출력한다. 제 3디지털/아날로그 변환회로(232)는 제 3 N-비트 가산기(231)의 출력신호를 아날로그 신호로 변환하여 출력한다. 제 3보간회로(233)는 제 1클럭(CLK1)과 제 2클럭(CLK2)을 수신하고 제 3디지털/아날로그 변환회로(232)의 출력신호에 응답하여 제 1클럭(CLK1)과 제 2클럭(CLK2)을 인터폴레이팅하여 제 3탭신호(TAP3)를 발생한다.

<33> 제 4탭신호 발생회로(240)는 제 4 N-비트 가산기(241), 제 4디지털/아날로그 변환회로(242) 및 제 4보간회로(243)를 구비한다. 제 4 N-비트 가산기(241)는 오프셋 정보를 수신하여 N-비트 디지털 신호로 변환하고, 제 3 N-비트 가산기(241)의 출력신호와 상기 N-비트 디지털 신호를 가산하여 출력한다. 제 4디지털/아날로그 변환회로(242)는 제 4 N-비트 가산기(241)의 출력신호를 아날로그 신호로 변환하여 출력한다. 제 4보간회로(243)는 제 1클럭(CLK1)과 제 2클럭(CLK2)을 수신하고 제 4디지털/아날로그 변환회로(242)의 출력신호에 응답하여 제 1클럭(CLK1)과 제 2클럭(CLK2)을 인터폴레이팅하여 제 4탭신호(TAP4)를 발생한다.

<34> 도 2에 도시된 출력 드라이버(20)는 데이터(DATA)를 수신하고 소정의 클럭(도시하지 않음)에 동기되어 외부로 데이터를 출력한다(DOUT). 소정의 클럭(도시하지 않음)의 슬루 레이트는 지연된 탭신호 발생회로(200)의 출력신호인 다수의 탭신호들(TAP1, TAP2, TAP3, TAP4)에 의하여 조정된다. 제 1클럭(CLK1) 및 제 2클럭(CLK2)은 주파수가 같고 소정의 위상차를 가지는 클럭신호이다.

<35> 도 2를 참조하여 본 발명에 따른 지연된 텝신호 발생회로(200)의 동작을 설명하면 다음과 같다. 도 2의 제 1 N-비트 가산기 내지 제 4 N-비트 가산기들(211, 221, 231, 241)은 N이 6, 즉 각각 6비트 가산기라고 가정한다. 각각의 텝신호 발생회로들(210, 220, 230, 240)은 소정의 오프셋 정보(OFFSET)를 수신한다. 오프셋 정보(OFFSET)는 출력되는 텝신호들 간의 지연량의 차이에 대응되는 정보이며, 오프셋 정보(OFFSET)는 사용자로부터 입력된다.

<36> 제 1 N-비트 가산기(211)는 오프셋 정보(OFFSET)를 6비트 디지털 신호로 바꾸고, 소정의 디폴트 신호(DEF)와 합산한다. 또한 제 2 N-비트 가산기(221)는 제 1 N-비트 가산기(211)의 출력신호와 변환된 6비트 디지털 신호를 합산하며, 제 3 N-비트 가산기(231)는 제 2 N-비트 가산기(221)의 출력신호와 변환된 6비트 디지털 신호를 합산한다. 제 4 N-비트 가산기(241)는 제 3 N-비트 가산기(231)의 출력신호와 변환된 6비트 디지털 신호를 합산한다.

<37> 제 1 디지털/아날로그 변환회로 내지 제 4 디지털/아날로그 변환회로들(212, 222, 232, 242)은 각각 제 1 N-비트 가산기 내지 제 4 N-비트 가산기들(211, 221, 231, 241)의 출력신호를 디지털 신호로 변환하고, 제 1보간회로 내지 제 4보간회로들(213, 223, 233, 243)은 각각 제 1 디지털/아날로그 변환회로 내지 제 4 디지털/아날로그 변환회로들(212, 222, 232, 242)의 출력신호에 응답하여 제 1클럭(CLK1)과 제 2클럭(CLK2)을 인터플레이팅하여 다수의 텝신호들(TAP1, TAP2, TAP3, TAP4)을 출력한다.

<38> 오프셋 정보(OFFSET)는 출력되는 텝신호들이 가지는 지연량에 대응하는 정보이다. 6비트의 가산기(N=6)가 사용된다면, N-비트 가산기는 제 1클럭(CLK1)과 제 2클럭(CLK2)의 위상차이를 $2^{6-1} = 64$ 로 나누어 출력되는 텝신호들의 지연량을 조절하게 된다.

<39> 예를 들면, 제 1클럭(CLK1)과 제 2클럭(CLK2)의 지연량의 차이가 200ps이고, 디폴트 신호(DEF)가 0, 오프셋 정보(OFFSET)가 1이라고 가정하자. 이 때 오프셋 정보(OFFSET)에 대응되는 지연량은 $200/64=3.125$ ps가 되며, 이는 출력되는 텝신호들의 지연량의 차이가 된다. 만일 오프셋 정보(OFFSET)가 2인 경우 오프셋 정보에 대응되는 지연량은 6.25ps가 될 것이다.

<40> 즉, 입력되는 오프셋 정보(OFFSET)에 의하여, 출력되는 텝신호들의 지연량의 차이를 조절할 수 있게 되며, 오프셋 정보(OFFSET)를 조절함으로써 미세한 지연량의 차이를 가지는 텝신호들을 얻을 수 있다.

<41> 도 3은 본 발명의 바람직한 제 2실시예에 따른 지연된 텝신호들을 발생하는 회로를 도시한 도면이다. 도 3의 텝신호 발생회로(300)는 도 2와 마찬가지로 4개의 텝신호들(TAP1, TAP2, TAP3, TAP4)을 출력한다. 텝신호 발생회로(300)는 제 2탭신호 발생회로(310), 제 3탭신호 발생회로(320) 및 제 4탭신호 발생회로(330)를 구비한다.

<42> 제 2탭신호 발생회로(320)는 제 1 N-비트 가산기(311), 제 1디지털/아날로그 변환회로(312) 및 제 1보간회로(313)를 구비하며, 제 3탭신호 발생회로(320)는 제 2 N-비트 가산기(321), 제 2디지털/아날로그 변환회로(322) 및 제 2보간회로(323)를 구비한다. 제 4탭신호 발생회로(330)는 제 3 N-비트 가산기(331), 제 3디지털/아날로그 변환회로(332) 및 제 3보간회로(333)를 구비한다.

<43> 각각의 N-비트 가산기(311, 321, 331), 디지털/아날로그 변환회로(312, 322, 332) 및 보간회로(313, 323, 333)의 접속관계는 도 2의 텝신호 발생회로(200)의 접속관계와 동일하다. 도 3의 텝신호 발생회로(300)는 제 1탭신호(TAP1)가 제 1클럭(CLK1)인 것을 특징으로 한다.

<44> 즉, 제 1탭신호(TAP1)는 제 1클럭(CLK1)이 되고, 제 2탭신호(TAP2)는 제 1탭신호(TAP1)에 소정의 오프셋 정보(OFFSET)에 상응하는 지연량(이하 D1이라 한다)을 가지는 신호이고, 제 3탭신호(TAP3)는 제 2탭신호(TAP2)에 D1의 지연량을 가지는 신호이며, 제 4탭신호(TAP4)는 제 3탭신호(TAP3)에 D1의 지연량을 가지는 신호가 된다.

<45> 따라서, 도 2의 탭신호 발생회로(200)에서와 마찬가지로, 도 3의 탭신호 발생회로(300)는 입력되는 오프셋 정보(OFFSET)에 의하여, 출력되는 탭신호들의 지연량의 차이를 조절할 수 있다.

<46> 도 4는 입력되는 두 신호를 인터플레이팅하는 보간회로의 일예를 나타낸 도면이고, 도 5는 도 4의 보간회로의 입력신호 및 출력신호를 나타낸 그래프이다. 도 4의 보간회로는 다수의 모스 트랜지스터들(MN1, MN2, MN3, MN4) 및 전류원들(Ik1, Ik2)을 구비하고, 차동형(differential type)으로 구현되었다.

<47> 전원전압(VDD)과 제 1출력단(OUT) 사이에 저항(RB)이 접속되고, 전원전압(VDD)과 제 2출력단(OUTB) 사이에 저항(RA)이 접속된다. 제 1노드(N1)와 제 1출력단(OUT) 사이에 모스 트랜지스터(MN2)가 접속되고, 제 1노드(N1)와 제 2출력단(OUTB) 사이에 모스 트랜지스터(MN1)가 접속된다. 제 1노드(N1)와 접지전원 사이에는 전류원(Ik1)이 접속된다. 모스 트랜지스터(MN1)의 게이트에는 제 1신호(k1)가 입력되며, 모스 트랜지스터(MN2)의 게이트에는 반전된 제 1신호(k1b)가 입력된다.

<48> 제 1출력단(OUT)과 제 2노드(N2) 사이에 모스 트랜지스터(MN4)가 접속되고, 제 2출력단(OUTB)과 제 2노드(N2) 사이에 모스 트랜지스터(MN3)가 접속된다. 모스 트랜지스터(MN4)의 게이트에는 제 2신호(k2)가 입력되고, 모스 트랜지스터(MN3)의 게이트에는 반전된 제 2신호(k2b)가 접속된다.

<49> 보간회로는 제 1신호(k_1) 및 제 2신호(k_2)를 입력받아 제 1신호(k_1)와 제 2신호(k_2)의 중간값을 출력한다. 즉 도 5에서와 같이, 입력되는 두 신호(k_1, k_2)의 중간값인 출력신호(OUT)가 출력된다. 여기에서, 출력신호(OUT)가 두 신호(k_1, k_2)의 중간의 어느 곳에 위치하는가는 전류원들(I_{k1}, I_{k2})의 전류의 세기에 의하여 제어된다.

<50> 도 6은 오프셋 정보에 따라 각각 다른 지연량을 가지는 지연된 텝신호들을 출력하는 모습 및 출력되는 텝신호들에 따른 출력 드라이버의 출력신호를 나타내는 도면이다. 각 그래프에서 x축은 시간을 나타내고, y축은 전압(또는 전류)을 나타낸다.

<51> 도 6(a) 내지 도 6(c)는 출력되는 텝신호들의 파형을 나타낸 것이다. 도 6(a)의 경우는 출력되는 텝신호들 간의 지연량이 작은 경우이고, 도 6(c)의 경우는 출력되는 텝신호들 간의 지연량이 큰 경우이다.

<52> 도 2 및 도 3에서 설명한 바와 같이, 본 발명에 따른 텝신호 발생회로는 입력되는 오프셋 정보에 따라 다른 지연량의 차이를 가지는 텝신호들을 출력하기 때문에, 도 6(a)는 오프셋 정보가 작은 경우이고, 도 6(b)는 오프셋 정보가 중간인 경우이며, 도 6(c)는 오프셋 정보가 큰 경우이다.

<53> 도 6(d)는 도 6(a) 내지 도 6(c)의 출력 텝신호들과 출력 드라이버의 출력신호의 출력과의 관계를 나타내는 도면이다. 도 6(d)에 도시된 바와 같이, 도 6(a)의 경우와 같은 텝신호들 간의 지연량의 차이가 적은 경우는 출력신호가 큰 슬루 레이트를 가지며, 도 6(c)의 경우와 같은 텝신호들 간의 지연량의 차이가 큰 경우는 출력신호가 작은 슬루 레이트를 가진다.

<54> 이상에서와 같이 도면과 명세서에 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다.

<55> 예컨대, 도 2 및 도 3에서는 4개의 텝신호가 생성되는 텝신호 발생회로가 개시되었으나, 이는 본 발명의 기술적 사상을 설명하기 위한 일례일 뿐이며, 본 발명은 이에 한정되지 않고 4개 이상 또는 그 이하의 텝신호들을 발생하는 텝신호 발생회로도 본 발명의 기술적 사상에 배제되지 않는다. 또한, 보간회로는 도 4에 도시된 것에 한정되지 않으며 많은 다른 보간회로가 사용될 수 있음을 본 발명의 기술적 사상을 통하여 볼 때 자명하다.

<56> 따라서 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<57> 상술한 바와 같이 본 발명에 따르는 자연된 텝신호들을 발생하는 회로 및 발생방법은 입력되는 오프셋 정보에 의하여, 출력되는 텝신호들의 자연량의 차이를 조절할 수 있게 되며, 오프셋 정보를 조절함으로써 미세한 자연량의 차이를 가지는 텝신호들을 얻을 수 있는 효과가 있다.

【특허 청구범위】**【청구항 1】**

동일한 주파수를 갖고 소정의 위상차를 갖는 제 1클럭 및 제 2클럭을 수신하고, 상기 제 1클럭과 상기 제 2클럭, 및 소정의 오프셋 정보에 응답하여 상기 제 1클럭에 대하여 상기 오프셋 정보에 대응하는 제 1지연량만큼 지연된 제 1탭신호를 발생하는 제 1탭신호 발생회로; 및;

상기 제 1클럭 및 상기 제 2클럭을 수신하고, 상기 제 1클럭과 상기 제 2클럭, 및 상기 오프셋 정보에 응답하여 상기 제 1클럭에 대하여 상기 제 1지연량과 상기 제 1지연량을 합한 제 2지연량만큼 지연된 제 2탭신호를 발생하는 제 2탭신호 발생회로를 구비하고,

상기 제 1탭신호 및 상기 제 2탭신호는 상기 오프셋 정보에 응답하여 상기 제 1클럭과 상기 제 2클럭을 인터폴레이팅(interpolating)함으로써 생성되는 것을 특징으로 하는 지연된 탭신호들을 발생하는 회로.

【청구항 2】

제 1항에 있어서, 상기 제 1탭신호 발생회로는

상기 오프셋 정보를 수신하여 상기 오프셋 정보를 N-비트 디지털 신호로 변환하고 상기 N-비트 디지털 신호와 소정의 디폴트 신호를 가산하여 출력하는 제 1 N-비트 가산기;

상기 제 1 N-비트 가산기의 출력신호를 수신하여 상기 제 1 N-비트 가산기의 출력신호를 아날로그 신호로 변환하여 출력하는 제 1디지털/아날로그 변환회로;

상기 제 1클럭 및 상기 제 2클럭을 수신하여 상기 디지털/아날로그 변환회로의 출력신호에 응답하여 상기 제 1클럭과 상기 제 2클럭을 인터폴레이팅하여 상기 제 1탭신호를 출력하는 제 1보간회로를 구비하는 것을 특징으로 하는 지연된 탭신호들을 발생하는 회로

【청구항 3】

제 2항에 있어서, 상기 제 2탭신호 발생회로는
상기 오프셋 정보를 수신하고 상기 오프셋 정보를 상기 N-비트 디지털 신호로 변환하고 상기 제 1 N-비트 가산기의 출력신호와 상기 N-비트 디지털 신호를 가산하여 출력하는 제 2 N-비트 가산기;

상기 제 2 N-비트 가산기의 출력신호를 수신하여 상기 제 2 N-비트 가산기의 출력신호를 아날로그 신호로 변환하여 출력하는 제 2디지털/아날로그 변환회로;

상기 제 1클럭 및 상기 제 2클럭을 수신하여 상기 디지털/아날로그 변환회로의 출력신호에 응답하여 상기 제 1클럭과 상기 제 2클럭을 인터폴레이팅하여 상기 제 2탭신호를 출력하는 제 2보간회로를 구비하는 것을 특징으로 하는 지연된 탭신호들을 발생하는 회로

【청구항 4】

제 2항 또는 제 3항에 있어서, 상기 N은
6인 것을 특징으로 하는 지연된 탭신호들을 발생하는 회로.

【청구항 5】

제 1항에 있어서, 상기 제 2지연량은

상기 제 1클럭과 상기 제 2클럭의 상기 위상차보다 적은 것을 특징으로 하는 지연된 텝신호들을 발생하는 회로.

【청구항 6】

동일한 주파수를 갖고 소정의 위상차를 갖는 제 1클럭 및 제 2클럭을 수신하여, 상기 주파수를 갖고 상기 위상차보다 작은 소정의 지연량을 각각 가지는 다수의 지연된 텝신호들을 발생하는 회로에 있어서,

상기 제 1클럭과 상기 제 2클럭, 및 소정의 오프셋 정보에 응답하여 제 1텝신호에 대하여 상기 오프셋 정보에 대응되는 제 1지연량만큼 지연된 제 2텝신호를 발생하는 제 2텝신호 발생회로; 및,

상기 제 1클럭 및 상기 제 2클럭을 수신하고, 상기 제 1클럭과 상기 제 2클럭, 및 상기 오프셋 정보에 응답하여 상기 제 1텝신호에 대하여 상기 제 1지연량과 상기 제 1지연량을 합한 제 2지연량만큼 지연된 제 3텝신호를 발생하는 제 3텝신호 발생회로; 및,

상기 제 1클럭 및 상기 제 2클럭을 수신하고, 상기 제 1클럭과 상기 제 2클럭, 및 상기 오프셋 정보에 응답하여 상기 제 3텝신호에 대하여 상기 제 2지연량과 상기 제 1지연량을 합한 제 3지연량만큼 지연된 제 4텝신호를 발생하는 제 4텝신호 발생회로를 구비하고,

상기 제 1텝신호는 상기 제 1클럭신호이고,

상기 제 2텝신호 내지 상기 제 4텝신호는 상기 오프셋 정보에 응답하여 상기 제 1클럭과 상기 제 2클럭을 인터폴레이팅(interpolating)함으로써 생성되는 것을 특징으로 하는 지연된 텝신호들을 발생하는 회로.

【청구항 7】

제 6항에 있어서, 상기 제 2탭신호 발생회로는

상기 오프셋 정보를 수신하여 상기 오프셋 정보를 N-비트 디지털 신호로 변환하고, 상기 N-비트 디지털 신호와 소정의 디플트 신호를 가산하여 출력하는 제 1 N-비트 가산기;

상기 제 1 N-비트 가산기의 출력신호를 수신하여 상기 제 1 N-비트 가산기의 출력신호를 아날로그 신호로 변환하여 출력하는 제 1디지털/아날로그 변환회로;

상기 제 1클럭 및 상기 제 2클럭을 수신하여 상기 디지털/아날로그 변환회로의 출력신호에 응답하여 상기 제 1클럭과 상기 제 2클럭을 인터플레이팅하여 상기 제 1탭신호를 출력하는 제 1보간회로를 구비하는 것을 특징으로 하는 지연된 탭신호들을 발생하는 회로.

【청구항 8】

제 7항에 있어서, 상기 제 3탭신호 발생회로는

상기 오프셋 정보를 수신하고 상기 오프셋 정보를 상기 N-비트 디지털 신호로 변환하고 상기 제 1 N-비트 가산기의 출력신호와 상기 N-비트 디지털 신호를 가산하여 출력하는 제 2 N-비트 가산기;

상기 제 2 N-비트 가산기의 출력신호를 수신하고 상기 제 2 N-비트 가산기의 출력신호를 아날로그 신호로 변환하여 출력하는 제 2디지털/아날로그 변환회로;

상기 제 1클럭 및 상기 제 2클럭을 수신하여 상기 디지털/아날로그 변환회로의 출력신호에 응답하여 상기 제 1클럭과 상기 제 2클럭을 인터플레이팅하여 상기 제 2탭신호

를 출력하는 제 2보간회로를 구비하는 것을 특징으로 하는 지연된 텝신호들을 발생하는 회로.

【청구항 9】

제 8항에 있어서, 상기 제 4텝신호 발생회로는
상기 오프셋 정보를 수신하고 상기 오프셋 정보를 상기 N-비트 디지털 신호로 변환하고 상기 제 2 N-비트 가산기의 출력신호와 상기 N-비트 디지털 신호를 가산하여 출력하는 제 3 N-비트 가산기;
상기 제 3 N-비트 가산기의 출력신호를 수신하여 상기 제 3 N-비트 가산기의 출력신호를 아날로그 신호로 변환하여 출력하는 제 3디지털/아날로그 변환회로;
상기 제 1클럭 및 상기 제 2클럭을 수신하여 상기 디지털/아날로그 변환회로의 출력신호에 응답하여 상기 제 1클럭과 상기 제 2클럭을 인터플레이팅하여 상기 제 3텝신호를 출력하는 제 3보간회로를 구비하는 것을 특징으로 하는 지연된 텝신호들을 발생하는 회로

【청구항 10】

제 7항 내지 제 9항 중 어느 한 항에 있어서, 상기 N은
6인 것을 특징으로 하는 지연된 텝신호들을 발생하는 회로.

【청구항 11】

제 6항에 있어서, 상기 제 3지연량은
상기 제 1클럭과 상기 제 2클럭의 상기 위상차보다 적은 것을 특징으로 하는 지연된 텝신호들을 발생하는 회로.

【청구항 12】

(a) 동일한 주파수를 갖고 소정의 위상차를 갖는 제 1클럭 및 제 2클럭을 수신하고, 상기 제 1클럭과 상기 제 2클럭, 및 소정의 오프셋 정보에 응답하여 상기 제 1클럭에 대하여 상기 오프셋 정보에 대응하는 제 1지연량만큼 지연된 제 1탭신호를 발생하는 단계; 및,

(b) 상기 제 1클럭 및 상기 제 2클럭을 수신하고, 상기 제 1클럭과 상기 제 2클럭, 및 상기 오프셋 정보에 응답하여 상기 제 1클럭에 대하여 상기 제 1지연량과 상기 제 1지연량을 합한 제 2지연량만큼 지연된 제 2탭신호를 발생하는 단계를 구비하고, 상기 제 1클럭과 상기 제 2클럭을 인터폴레이팅(interpolating)함으로써 생성되는 것을 특징으로 하는 지연된 탭신호들의 발생방법.

【청구항 13】

제 12항에 있어서, 상기 (a) 단계는

(a1) 상기 오프셋 정보를 수신하여 상기 오프셋 정보를 N-비트 디지털 신호로 변환하고 상기 N-비트 디지털 신호와 소정의 디폴트 신호를 가산하여 출력하는 단계;

(a2) 상기 (a1) 단계에서 얻은 출력신호를 아날로그 신호로 변환하여 출력하는 단계;

(a3) 상기 제 1클럭 및 상기 제 2클럭을 수신하여 상기 (a2) 단계에서 얻은 출력신호에 응답하여 상기 제 1클럭과 상기 제 2클럭을 인터폴레이팅하여 상기 제 1탭신호를 출력하는 단계를 구비하는 것을 특징으로 하는 지연된 탭신호들의 발생방법.

【청구항 14】

제 13항에 있어서, 상기 (b) 단계는

- (b1) 상기 오프셋 정보를 수신하고 상기 오프셋 정보를 상기 N-비트 디지털 신호로 변환하고 상기 (a1) 단계의 출력신호와 상기 N-비트 디지털 신호를 가산하여 출력하는 단계;
- (b2) 상기 (b1) 단계의 출력신호를 아날로그 신호로 변환하여 출력하는 단계;
- (b3) 상기 제 1클럭 및 상기 제 2클럭을 수신하여 상기 (b2) 단계의 출력신호에 응답하여 상기 제 1클럭과 상기 제 2클럭을 인터폴레이팅하여 상기 제 2탭신호를 출력하는 단계를 구비하는 것을 특징으로 하는 지연된 탭신호들의 발생방법.

【청구항 15】

제 12항에 있어서, 상기 제 2지연량은

상기 제 1클럭과 상기 제 2클럭의 상기 위상차보다 적은 것을 특징으로 하는 지연된 탭신호들의 발생방법.

【청구항 16】

동일한 주파수를 갖고 소정의 위상차를 갖는 제 1클럭 및 제 2클럭을 수신하고 상기 주파수를 갖고 상기 위상차보다 작은 소정의 지연량을 각각 가지는 다수의 탭신호들을 발생하는 방법에 있어서,

상기 제 1클럭과 상기 제 2클럭, 및 소정의 오프셋 정보에 응답하여 제 1탭신호에 대하여 상기 오프셋 정보에 대응되는 제 1지연량만큼 지연된 제 2탭신호를 발생하는 단계;

상기 제 1클럭 및 상기 제 2클럭을 수신하고, 상기 제 1클럭과 상기 제 2클럭, 및 상기 오프셋 정보에 응답하여 상기 제 1탭신호에 대하여 상기 제 1지연량과 상기 제 1지연량을 합한 제 2지연량만큼 지연된 제 3탭신호를 발생하는 단계; 및,

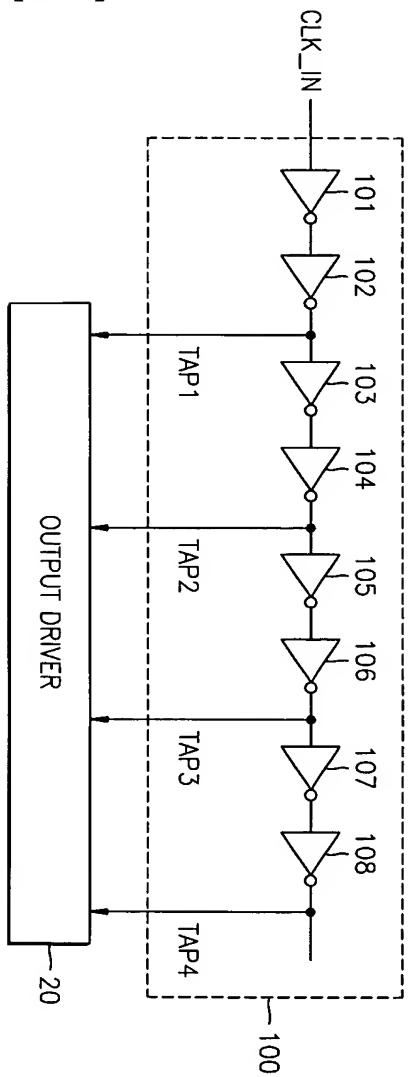
상기 제 1클럭 및 상기 제 2클럭을 수신하고, 상기 제 1클럭과 상기 제 2클럭, 및 상기 오프셋 정보에 응답하여 상기 제 3탭신호에 대하여 상기 제 2지연량과 상기 제 1지연량을 합한 제 3지연량만큼 지연된 제 4탭신호를 발생하는 단계를 구비하고,

상기 제 1탭신호는 상기 제 1클럭신호이고,

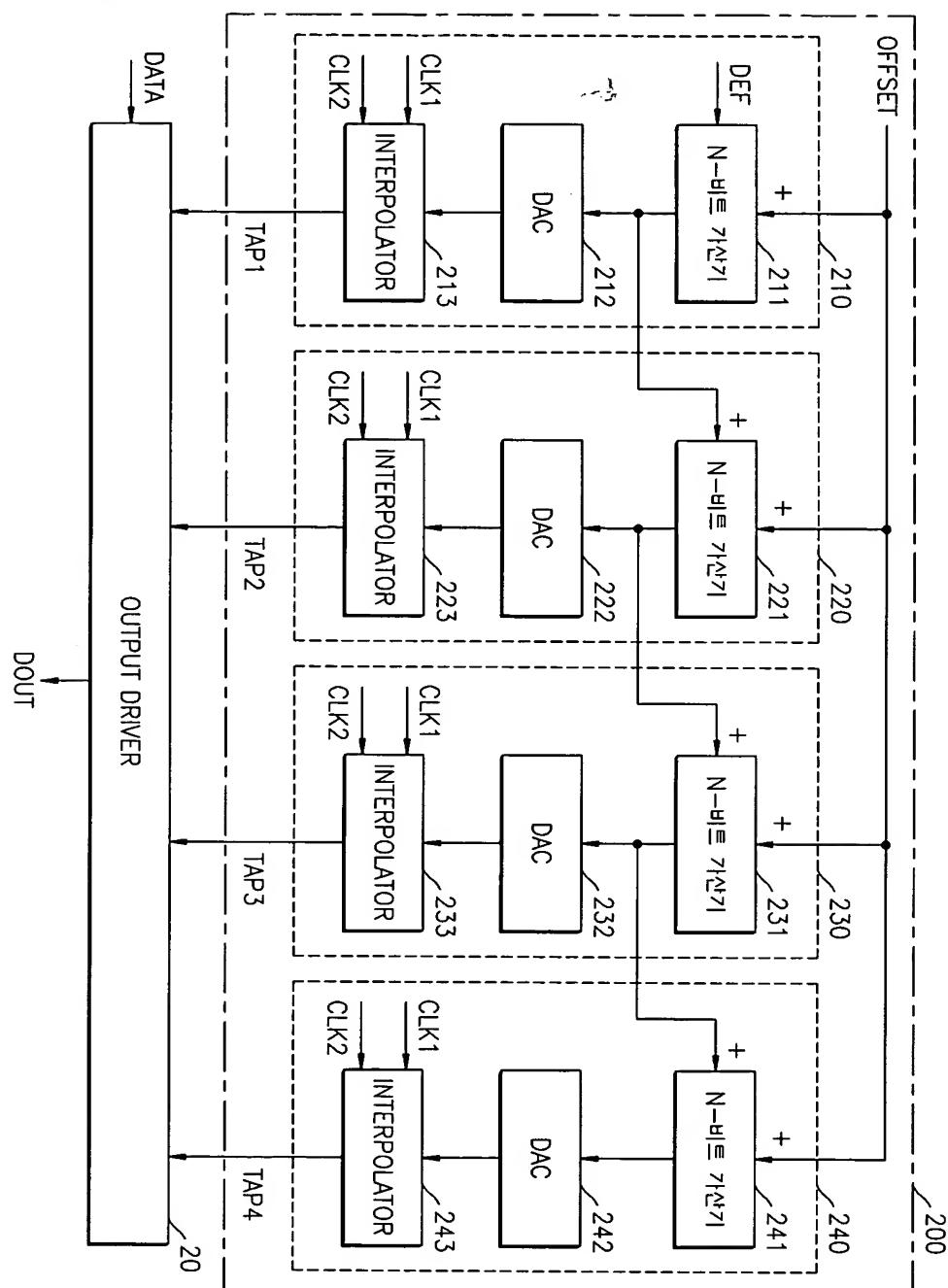
상기 제 2탭신호 내지 상기 제 4탭신호는 상기 오프셋 정보에 응답하여 상기 제 1클럭과 상기 제 2클럭을 인터폴레이팅(interpolating)함으로써 생성되는 것을 특징으로 하는 지연된 탭신호들의 발생방법.

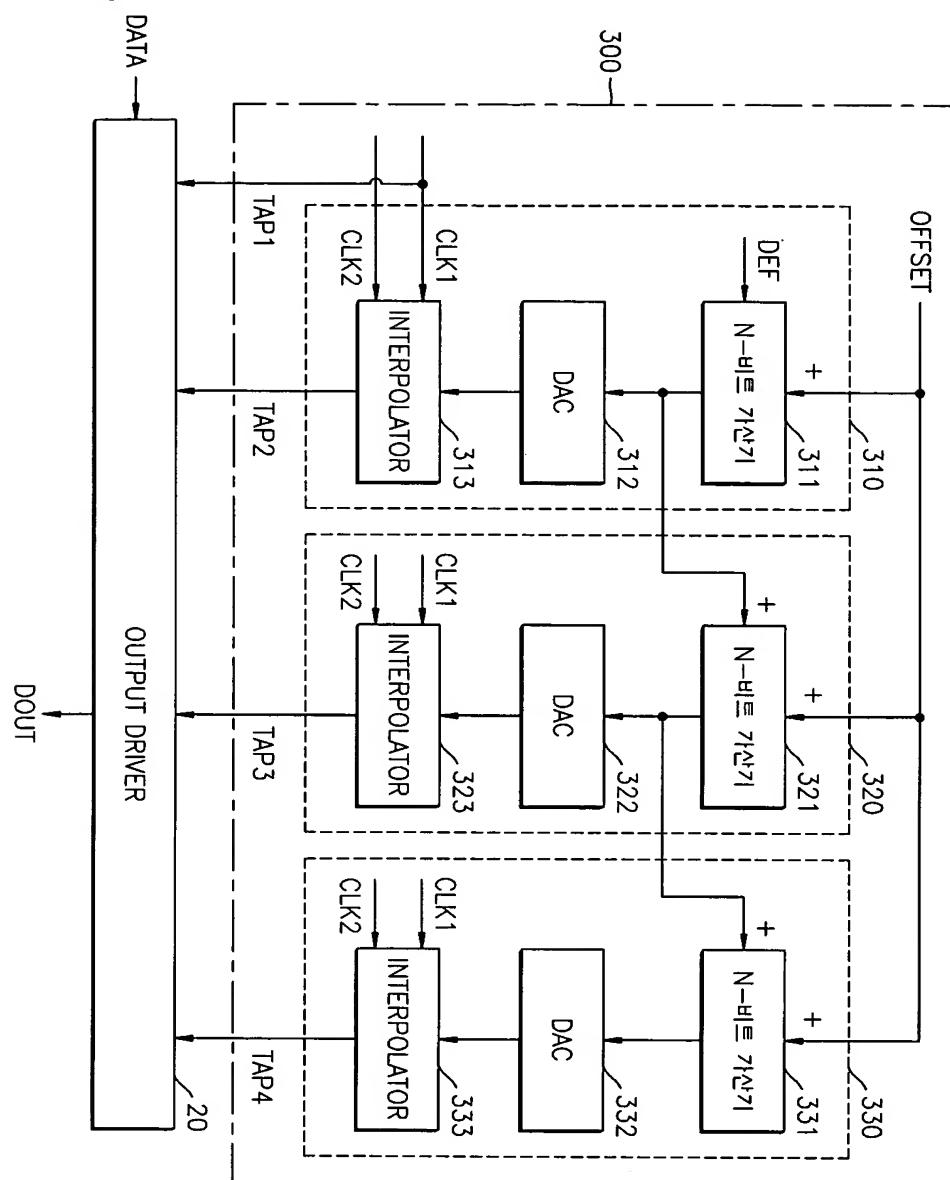
【도면】

【도 1】

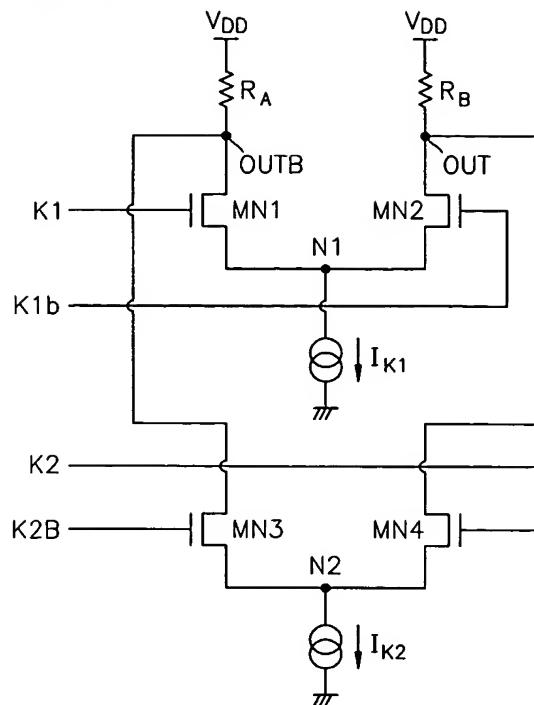


【도 2】

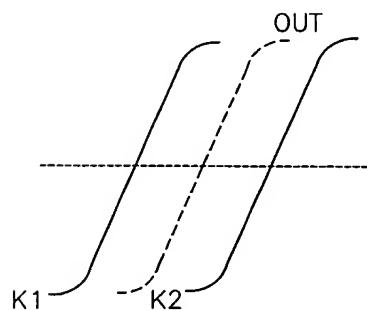


【회 3】

【도 4】



【도 5】





1020020068155

출력 일자: 2003/3/11

【도 6】

